

# Nichtflüchtige Datenspeicher

FRAM, MRAM oder PC-RAM, wie sieht der Speicher der Zukunft aus?

Jochen Dreßen und Andreas Hoffknecht

**Nichtflüchtige Datenspeicher (Non-Volatile-Memory, NVM) garantieren, dass gespeicherte Informationen auch ohne Stromversorgung erhalten bleiben. Damit verbindet sich die verlockende Aussicht, dass ein Computer mit nichtflüchtigem Arbeitsspeicher ohne langwieriges Booten sofort betriebsbereit ist (instant on) und sich ohne zeitraubendes Herunterfahren ausschalten lässt (instant off). Das macht NVM sowohl für mobile als auch für stationäre Geräte attraktiv. Die verfolgten Konzepte nutzen unterschiedliche physikalische Effekte.**

Elektronische Speicher lassen sich in zwei Kategorien einteilen: Halbleiterspeicher und magnetische bzw. optische Massenspeicher. Die Massenspeicher erreichen die höchsten Speicherdichten bei den niedrigsten Kosten pro Bit. Ihr Nachteil liegt in der für viele Anwendungen zu geringen Zugriffsgeschwindigkeit. Halbleiterspeicher erreichen wesentlich höhere Geschwindigkeiten, aber bei erheblich geringeren Speicherdichten und zu wesentlich höheren Kosten pro Bit. Diese Kosten sinken, vor allem durch die Verkleinerung des Flächenbedarfs eines Bits, seit Jahrzehnten exponentiell. Bei den Halbleiterspeichern sinkt der Preis zur Zeit um ca. 35 % pro Jahr. Bezogen auf die Speicherkapazität sind mittlerweile sowohl Festplatten als auch Flash-Speicher billiger als Papier. Der heutige Markt für Halbleiterspeicher hat ein Volumen von rund 30 Milliarden Euro. Er teilt sich im Wesentlichen zwischen Flash, DRAM (Dynamic Random Access Memory) und SRAM (Static Random Access Memory) auf [1]. Das Marktforschungsinstitut WSTS rechnet bis 2005 mit einem Wachstum auf 42,5 Milliarden Euro.

Der Flash-Speicher ist der einzige nichtflüchtige Halbleiterspeicher mit bedeutenden Marktanteilen. Die Flash Memory Reporting Association rechnet bis 2006 mit einem Umsatzwachstum von 8 (2002) auf 15 Milliarden Euro. Der Flash er-

reicht mit Zellengrößen von 4–10  $F^2$  die höchsten Dichten unter den Halbleiterspeichern. Die „Feature Size“  $F$  gibt die kleinste lithographisch hergestellte Struktur an. Bei den derzeit vermarkteten Flash liegt sie, je nach Prozesstechnologie, bei minimal 120 nm. Der Flash ist im Vergleich zum DRAM und SRAM langsam, braucht hohe Spannungen und ist mit maximal  $10^6$  Schreib- und Lesezyklen für viele Anwendungen nicht langlebig genug.

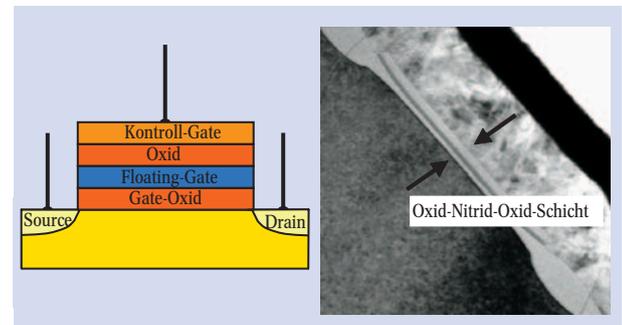
Der DRAM hat mit einem Jahresumsatz von 14,5 Milliarden Euro die höchsten Marktanteile. Das Marktforschungsinstitut InStat/MDR prognostiziert für das Jahr 2006 ca. 22 Milliarden Euro. Beim DRAM wird die Information durch Ladungen auf einem Kondensator repräsentiert. Er hat mit  $8 F^2$  eine kleine Zellengröße und lässt sich schnell lesen bzw. beschreiben. Nachteile sind die Flüchtigkeit, die ein ständiges Auffrischen (*Refresh*) des Speicherinhalts notwendig macht, und der zunehmend komplizierte Aufbau, um trotz abnehmender Strukturgrößen eine Mindestkapazität des Speicherkondensators zu gewährleisten.

Der SRAM, das zur Zeit schnellste Speicherkonzept auf dem Markt, braucht keine Refreshzyklen. Die Speicherzelle besteht typischerweise aus zwei gekoppelten Invertern. Sie verliert ihre Information, sobald keine Versorgungsspannung mehr anliegt. Mit einer Zellengröße von 100–150  $F^2$  ist der SRAM sehr groß und damit auch teuer.

Die nächste Generation nichtflüchtiger Datenspeicher wird bedeutend schneller sein als derzeitige Flash. Dies wird ein wesentlich breiteres Einsatzspektrum ermöglichen – bis in Bereiche, die derzeit von DRAM bzw. SRAM abgedeckt werden. Die Bedeutung nichtflüchtiger Datenspeicher wächst mit der zunehmenden Miniaturisierung und Integration von Bauelementen. Die dadurch wachsende thermische Belastung wird mittlerweile nicht nur für Logikelemente zum Problem, sondern wegen der notwendigen

Refreshzyklen auch für DRAM-Speicherbausteine. Diese Refreshzyklen entfallen beim Einsatz nichtflüchtiger Speicher [2].

Alle führenden Halbleiterhersteller arbeiten daher derzeit an einer neuen Generation nichtflüchtiger Datenspeicher (Tab. 1). Sollen diese neuartigen Speicher konkurrenzfähig werden und wachsende Marktanteile erobern, so müssen sie mit ihren konventionellen Konkurrenten vor allem bei der Speicherdichte und bei den Herstellungskosten gleichziehen.



**Abb. 1:**

Bei einer Flash-Zelle steuern Ladungen auf dem Floating-Gate (FG) den Transistor und repräsentieren so die gespeicherte Information (links). Die SEM-Aufnahme (rechts) zeigt den Querschnitt durch eine NROM-Zelle von Infineon. Bei diesem Konzept ist das FG durch eine in Siliziumoxid eingekapselte Siliziumnitridschicht ersetzt. Der Transistor wird durch Ladungen in Fangstellen dieser Schicht gesteuert. Schwachstellen in der Isolation führen so nicht mehr zum Abfluss der gesamten Ladung vom leitenden FG, sondern nur zur Entladung einzelner Fangstellen (Quelle, rechts: Infineon)

## Technologien

### Flash

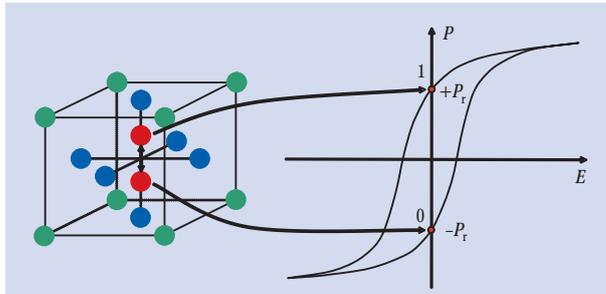
Die Flash-Technologie ist derzeit die einzige halbleiterkompatible NVM-Technologie, die mit hohen Speicherdichten am Markt vertreten ist. Besonders die Verbreitung mobiler Geräte wie Mobiltelefone, PDAs und Digitalkameras hat zu einer stark wachsenden Nachfrage des Marktes geführt.

Im Aufbau ähnelt die Flash-Zelle einem Feldeffekttransistor FET, der um ein sog. Floating-Gate (FG) aus leitendem Poly-Silizium im Gate-Dielektrikum ergänzt wird (Abb. 1). Ladungen auf dem FG steuern die Strom-Spannungs-Charakteristik und repräsentieren so

Dr. Jochen Dreßen,  
VDI-Technologiezentrum,  
Physikalische Technologien;  
Dr. Andreas Hoffknecht,  
ZT-Consulting des  
VDI-Technologiezentrum,  
Graf-Recke-Str. 84, 40239  
Düsseldorf

die gespeicherte Information. Zur Programmierung werden entweder „heiße“ Elektronen auf das FG injiziert (Channel Hot-Electron Injection, CHEI), oder die Elektronen tunneln auf das FG (Fowler-Nordheim-Tunneln). Beim Löschvorgang fließen die gespeicherten Ladungen durch Fowler-Nordheim-Tunneln vom FG ab.

Der NOR-Flash, bei dem die einzelnen Zellen parallel geschaltet sind, wurde 1988 von Intel einge-



**Abb. 2:** Feldabhängige Polarisation eines ferroelektrischen Materials: Verschiebung der Kationen (rot) bzgl. der Anionen (blau) durch ein elektrisches Feld führt zu einer remanenten Polarisation  $+P_r$  bzw.  $-P_r$ , mit der sich die logischen Zustände „1“ und „0“ darstellen lassen.

führt. Den NAND-Flash mit in Serie geschalteten Flash-Zellen stellte Toshiba 1989 vor. Der billigere NAND-Flash wird hauptsächlich dort genutzt, wo große Datenmengen gespeichert werden müssen. NOR-Flashes werden bei der Speicherung von Programm-Codes genutzt, da hier ein schneller Zugriff entscheidend ist. Mittlerweile sind Flash-Speicher auf dem Markt, die zwei Bit pro Zelle speichern können.

Nachteile der Flash-Speicher sind die im Vergleich zum DRAM bzw. SRAM langen Programmierzeiten, die notwendigen hohen Spannungen und die unbefriedigende Langzeitstabilität. Schwachstellen in der Isolation des FG können zu einem Abfluss der Ladung und damit zu Informationsverlust führen (Stress induced leakage current, SILC).

Bei neueren Entwicklungen versucht man, den konzeptionellen Nachteilen durch zwei verschiedene Ansätze zu begegnen: Beim ersten wird das leitende Poly-Silizium-FG durch eine isolierende Siliziumnitridschicht ersetzt. Die Ladungen werden in Fangstellen dieser Schicht gespeichert. Der zweite Ansatz nutzt Nanokristalle im Dielektrikum [3]. Schwachstellen in der Isolation führen so nicht mehr zum Abfluss der gesamten Ladung vom leitenden FG, sondern nur zur Ent-

ladung einzelner Fangstellen oder Nanokristalle, sodass die Information erhalten bleibt (Abb. 1).

### FRAM

Ferroelektrische Speicher nutzen die remanente Polarisation eines ferroelektrischen Dielektrikums zum Speichern von Information. Unterhalb einer Curie-Temperatur  $T_C$  besitzen Ferroelektrika in der Regel eine Domänenstruktur, innerhalb derer es zu einer spontanen Polarisation kommt. Mit wachsendem angelegtem elektrischem Feld richten sich die Dipole der Domänen gleich aus und die Polarisation wird maximal. Nun behält das Material auch ohne äußeres Feld seine remanente Polarisation  $\pm P_r$  und die gespeicherte Information bleibt auch ohne Versorgungsspannung erhalten.

Bei den Materialien werden derzeit Ferroelektrika mit Perowskit-Struktur, z. B.  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT) oder  $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$  (PZT), favorisiert. Die spontane Polarisation unterhalb  $T_C$  resultiert aus Verschiebungen der Kationen und Anionen innerhalb der nicht zentrosymmetrischen Elementarzelle (Abb. 2).

Bei PZT können Defekte am Interface Elektrode/dielektrischer Film zu einem Abflachen der Hysterese mit steigender Zyklenzahl und einer Abnahme der remanenten Polarisation führen. Abhilfe kann hier die Verwendung oxidischer anstelle von Pt-Elektroden bringen. Bei der Verwendung von Bi-haltigen Perowskiten, wie SBT an Stelle von PZT, scheint das Elektrodennmaterial weniger problematisch zu sein. SBT weist aber gegenüber PZT eine deutlich geringere remanente Polarisation auf. Mehrere Arbeitsgruppen, vor allem in Japan und Korea, arbeiten an dem alternativen Material  $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ , Lanthan-substituiertes Wismuttitanat (BLT), welches verspricht, die Vorteile von PZT und SBT in sich zu vereinigen.

Bisher ist nicht geklärt, bis zu welcher Strukturgröße sich stabile ferroelektrische Zustände erzeugen und umschalten lassen. Bei Strukturen unterhalb des sog. superparaelektrischen Limits ist die thermische Energie  $k_B T$  in der gleichen Größenordnung wie die für das Umschalten der ferroelektrischen Zustände nötige Energie, sodass eine remanente Polarisation nicht möglich ist. Inzwischen wurde gezeigt, dass drei-dimensionale Strukturen bis 20 nm [4] und zwei-

dimensionale Schichten bis 4 nm [5] möglich sind.

Ferroelektrische Speicher lassen sich auf zwei verschiedenen Wegen realisieren: Der Aufbau des Ferroelektrischen Random Access Memories (FRAM oder FeRAM) ähnelt dem DRAM, wobei das Ferroelektrikum als Dielektrikum des Kondensators dient. FRAM ist ein eingetragener Markenname der Firma Ramtron, die unter anderem mit Fujitsu, Hitachi, Infineon, Rohm, Samsung, ST Microelectronics und Toshiba Lizenzabkommen geschlossen hat. Zum Schreiben und Lesen der Information dienen Spannungspulse. Beim Auslesen führen die beiden möglichen Polarisationszustände des Dielektrikums zu einer unterschiedlichen Stromantwort, je nachdem, ob das an den Kondensator angelegte elektrische Feld parallel oder antiparallel zur remanenten Polarisation ist. Das Auslesen eines FRAM-Kondensators ist destruktiv, d. h. die gespeicherte Information wird gelöscht und muss neu geschrieben werden.

Gegenüber dem im Weiteren beschriebenen MRAM ist der höhere Kontrast von Vorteil ( $\Delta R/R$  beträgt beim MRAM ca. 30–50 %,  $\Delta C/C$  beim FRAM ca. 150–300 %).

Der FRAM ist neben dem Flash der am weitesten entwickelte nichtflüchtige Speicher. Die Firma Samsung vermarktet bereits einen 4-Mbit-Speicher. Bauelemente mit 64 Mbit wurden demonstriert.

Die zweite Möglichkeit, ferroelektrische Speicher zu verwirklichen, ist der FeFET (Ferroelectrical

**Tab. 1: Industrieaktivitäten bei den verschiedenen NVM-Technologien**

|            | MRAM | FRAM | PC-RAM | organisch | molekular |
|------------|------|------|--------|-----------|-----------|
| AMD        |      |      |        | X         |           |
| Fujitsu    | X    | X    |        |           |           |
| HP         | X    |      |        |           | X         |
| IBM        | X    | X    |        |           |           |
| Infineon   | X    | X    |        | X         | X         |
| Intel      |      |      | X      | X         |           |
| Matsushita | X    | X    |        |           |           |
| Micron     |      | X    | X      |           |           |
| Motorola   | X    | X    |        |           |           |
| NEC        | X    | X    |        |           |           |
| Philips    | X    |      | X      |           |           |
| Renesas    | X    | X    |        |           |           |
| Samsung    | X    | X    | X      |           |           |
| Sony       | X    |      |        |           |           |
| STM        | X    | X    | X      |           | X         |
| TI         |      | X    |        |           |           |
| Toshiba    | X    | X    |        |           |           |

Field Effect Transistor). Er wird mitunter auch FET-Typ FRAM genannt. Der Aufbau gleicht dem eines gewöhnlichen MOSFET (Metal Oxide Semiconductor Field Effect Transistor) mit einem Ferroelektrikum als Gate-Dielektrikum. Durch Variation der Gate-Spannung lässt sich die Polarisation des Dielektrikums schalten, wodurch wiederum die Ladungsträgerdichte im Kanal des FET manipuliert wird. Je nach Polarisationsrichtung schaltet der Transistor also auf Durchgang oder er sperrt. Dieser Zustand bleibt auf Grund der remanenten Polarisation erhalten. Theoretisch besitzen FeFET zahlreiche Vorteile gegenüber den FRAM. Da die Speicherzelle nur aus einem Transistor besteht, lassen sich höhere Speicherdichten realisieren. Die gespeicherte Information muss nicht nach jedem Auslesen neu geschrieben werden, sodass FeFET sowohl sparsamer als auch schneller sein können. Trotz dieser zahlreichen Vorteile ist der FeFET aufgrund materialphysikalischer Probleme nicht so weit entwickelt wie der FRAM. Ein FeFET erfordert u. a. nur 100 nm große, möglichst epitaktische Strukturen mit geeigneter kristallografischer Orientierung. Defekte am Interface Ferroelektrikum/Halbleiter führen zu hohen elektronischen Zustandsdichten, die als Einfangzentren für Ladungsträger wirken und die Transistor-Charakteristik ungünstig beeinflussen [6].

### MRAM

Der MRAM nutzt den Tunneling-Magneto-Resistance-Effekt (TMR), der die spin- bzw. magnetisierungsabhängige Änderung eines Tunnelwiderstandes beschreibt [7, 8]. Das Grundelement des MRAM besteht aus zwei ferromagnetischen Elektroden, die durch eine (sub-) nm dünne, nicht leitende Barriere voneinander getrennt sind. Je nach relativer Magnetisierung der beiden Elektroden (parallele oder antiparallele Magnetisierung) fließt beim Anlegen einer Spannung ein „großer“ (parallele Magnetisierung) oder ein „kleiner“ (antiparallele Magnetisierung) Tunnelstrom durch den Schichtstapel, entsprechend den digitalen Zuständen „1“ und „0“ (Abb. 3). Zwischen den Zuständen „0“ und „1“ lässt sich im idealisierten Fall durch das addierte magnetische Feld der Word- und Bit-Leitungen, über welche auch der Speicherzustand ausgelesen wird, umschalten.

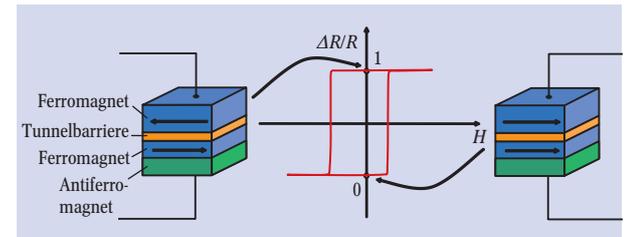
Der MRAM skaliert relativ gutmütig. Das derzeit erkennbare physikalische Limit liegt im superparamagnetischen Limit. Der TMR-Effekt konnte an MRAM-Zellen bis hinunter zu 50 nm Kantenlänge gemessen werden. Materialien mit höherer magnetischer Anisotropie würden zwar das superparamagnetische Limit weiter unterdrücken, erfordern aber auch höhere Schaltströme.

Wesentlich für die Leistungsfähigkeit des MRAM scheinen die Form und der zeitliche Verlauf des Umschaltimpulses von „0“ nach „1“ bzw. von „1“ nach „0“ zu sein. Ein ungeeigneter Umschaltimpuls kann eine lang andauernde Präzessionsbewegung der Magnetisierung auslösen. Das verzögert deutlich die gewollte Ummagnetisierung der Elektrode und setzt die erreichbare Taktrate des MRAM stark herab. Bei entsprechendem Design von Form und zeitlichem Verlauf des Schaltimpulses sind Taktraten im GHz-Bereich erreichbar.

Niedrige Werte von Magnetisierung bzw. Polarisation führen zu einer höheren Empfindlichkeit in Bezug auf das unbeabsichtigte Überschreiben von Nachbarzellen durch den Schreibvorgang. Ebenfalls negativ für die Überschreibempfindlichkeit ist eine nicht rechteckige Schalthysterese. Der MRAM hat zwar, im Vergleich zum FRAM, eine idealere, rechteckigere Form der Schalthysterese, erreicht aber niedrigere Schaltkontraste. Forschungsbedarf besteht bei der Übertragung der Prozesstechnologie vom derzeitigen „Labormaßstab“ auf industrielle Größe. Wesentliches Teilproblem ist die Homogenität der (sub-)nm-Tunnelbarriere über die gesamte Waferfläche und damit die Homogenität des TMR-Signals, da der Tunnelstrom exponentiell von der Dicke der Tunnelbarriere abhängt. Vorteilhaft für die Skalierbarkeit ist, dass der Widerstandshub  $\Delta R/R$  weitgehend von der Zellengröße unabhängig ist. Weiter zu optimierender Parameter ist der Flächenwiderstand  $R \cdot A$ , dessen Wert sich innerhalb weniger Jahre von  $10^7 \Omega \mu\text{m}^2$  (1995) auf  $10 \Omega \mu\text{m}^2$  (2002) senken ließ. Innerhalb des gleichen Zeitraums stieg die Signalhöhe  $\Delta R/R$  bei Raumtemperatur von 18 % (1995) bis auf 65 % (2002). Die Zellengröße  $F^2$  ging von  $10^6 \mu\text{m}^2$  (1995) auf  $2,5 \cdot 10^{-3} \mu\text{m}^2$  (2002) zurück, und die Prozesstemperatur konnte von unter 200 °C

auf 400 °C gesteigert werden. Bisher ist es allerdings noch nicht gelungen, obige Parameter gleichzeitig an einem Bauteil zu realisieren.

Für eine wirtschaftliche Verwertung wird ein Waferdurchmesser von 200 mm angestrebt. Die Kompatibilität zum CMOS-Backendprozess konnte bereits gezeigt werden. Die maximale Anzahl von Schreib-/Lesevorgängen liegt derzeit um den Faktor 100 über der von heutigen Flash-Speichern. Optimierungsbedarf besteht seitens des Stromverbrauchs von 6 mA



**Abb. 3:** Idealisierte MRAM-Zelle mit feldabhängiger Schalthysterese: Die Magnetisierung der unteren ferromagnetischen Elektrode wird durch einen Antiferromagneten festgehalten, die obere Elektrode kann durch die Word- und Bit-Leitungen (nicht dargestellt) ummagnetisiert werden. Parallele Magnetisierung führt zu einem kleinen elektrischen Widerstand (entsprechend der logischen „0“); antiparallele Magnetisierung zu einem großen Widerstand („1“).

beim Schreibvorgang.

Infineon und IBM stellten auf dem VLSI-Symposium in Kyoto einen 128-Kbit-MRAM-Core vor, dessen Technologie ab 2005 kommerzialisiert werden soll. Motorola hat Ende Oktober 2003 den ersten 4-Mbit-MRAM-Chip in 180 nm-Technologie hergestellt.

### PC-RAM

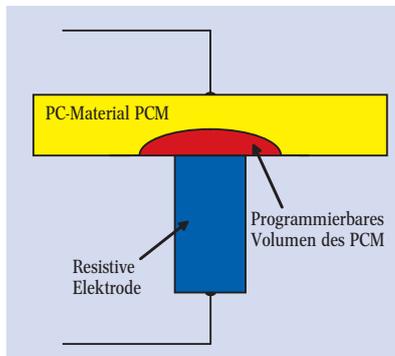
Phase-Change-Speicher nutzen reversible Phasenwechsel bestimmter Materialien (z. B. Chalkogene) zwischen einem amorphen und einem kristallinen Zustand. Dabei geht die kristalline Phase durch ein kurzes Erhitzen auf die Temperatur  $T_a$  in die amorphe Phase über. Ein längerer Temperaturpuls auf eine Temperatur  $T_k < T_a$  lässt die amorphe Phase rekristallisieren.

Das Prinzip wird bei wiederbeschreibbaren CDs und DVDs bereits angewendet. Bei ihnen wird die für die Phasenwechsel notwendige Wärme durch Laserlicht zugeführt. Zum Auslesen wird die unterschiedliche Reflektivität beider Phasen genutzt. Im PC-RAM (Phase Change-Random Access Memory) oder auch OUM (Ovonic Unified Memory) wird die Wärme durch elektrische Ströme erzeugt (Abb. 4). Beim

Auslesen wird der unterschiedliche elektrische Widerstand beider Phasen genutzt, der um bis zu vier Größenordnungen differieren kann. Durch diesen hohen Kontrast führen bereits Phasenwechsel in sehr kleinen Volumina zu ausreichend großen Signalen.

Erste Arbeiten zum PC-RAM Anfang der 70er-Jahre waren erfolglos, da die damaligen, großen Speicherzellen sich als zu langsam erwiesen und zuviel Energie verbrauchten. Die fortschreitende Miniaturisierung sowie Fortschritte bei den Materialien machen den Speichertyp heute wieder interessant.

Die Zuverlässigkeit des PC-RAM wird durch zwei Probleme beschränkt: Zum einen kann es an den Grenzflächen (PC-Material/Elektrode) zu Interdiffusionen und Reaktionen kommen, zum anderen führt die Volumenänderung beim



**Abb. 4:** Schematische PC-RAM Zelle (links): Durch einen temperaturgetriebenen reversiblen Phasenwechsel des PC-Materials zwischen amorph (= hoher Widerstand) und kristallin (= niedriger Widerstand) lassen sich die logischen

Phasenwandel zu mechanischem Stress. Die Volumenänderung beim Kristallisieren beträgt 5–10 % und kann Risse und ein Abplatzen der Schichten verursachen. Ein aussichtsreicher Lösungsansatz ist die Verwendung dünner Schichten, bei denen in Experimenten keine Risse auftraten. Für Einzelelemente wurden bisher  $10^{14}$  Zyklen nachgewiesen.

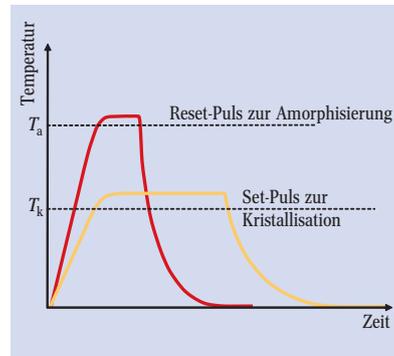
Ein Vorteil der Technologie ist ihre gute Skalierbarkeit. Je kleiner die Strukturen werden, desto weniger Energie muss für die Phasenwechsel aufgebracht werden, desto geringer werden die Schaltströme, die derzeit im mA-Bereich liegen, und desto höher sind die Schaltgeschwindigkeiten. Die potenzielle Speicherdichte und die maximale Taktfrequenz werden letztlich durch

thermisches Übersprechen zwischen benachbarten Speicherzellen begrenzt.

Neben Philips und STM setzt vor allem Intel, deren Mitbegründer Gordon Moore bereits bei den ersten Ansätzen beteiligt war, auf den PC-RAM. Intel hat in Kooperation mit Ovonic bei einem 4-Mbit-Demonstrator  $10^7$  Schreib-/Lesezyklen nachgewiesen. Ovonic hat bereits das Speichern von mehreren Bit pro Zelle demonstriert. Forschungsbedarf besteht vor allem bei den Phase Change- und den Elektroden-Materialien.

### Organische Speicher

Organische Speicher können aus Polymeren oder kleineren organischen Molekülen aufgebaut sein. Sie bieten möglicherweise Vorteile durch geringe Kosten und hohe Speicherdichten, welche durch



Zustände „0“ und „1“ darstellen. Kurzes Erhitzen auf  $T > T_a$  führt zu einer Amorphisierung. Ein längerer Temperaturpuls mit  $T_k < T_a$  lässt die amorphe Phase rekristallisieren (rechts).

kleine Zellengrößen von bis zu  $4 F^2$  und das Stapeln mehrerer Schichten realisierbar sein könnten. Im Gegensatz zu molekularen Speichern, bei denen der Zustand einzelner Moleküle die Information codiert, nutzen organische Speicher Volumeneffekte [9].

Für organische Speicher sind verschiedene Materialklassen in der Diskussion, die unterschiedliche Schaltmechanismen nutzen. Am weitesten fortgeschritten sind die Arbeiten von Thin Film Electronics. Die Firma, an der Intel beteiligt ist, arbeitet mit ferroelektrischen Polymeren und hat bereits Einzelelemente demonstriert. Einige Experten bezweifeln, dass sich bei einem ferroelektrischen Ansatz eine  $4-F^2$ -Zelle realisieren ließe. Die Hysterese der polymeren Ferroelek-

trika sei nicht steil genug und flache zudem mit steigender Zyklenzahl ab. Vielversprechend scheinen organische Speicher, die auf einem Schalten der Leitfähigkeit beruhen. Sie sind wahrscheinlich besser skalierbar. Das Prinzip wurde bereits an einzelnen Zellen demonstriert.

Nachteile der organischen Speicher sind unter anderem ihre relativ geringen Geschwindigkeiten. Großer Forschungsbedarf besteht bei den Materialien und der Entwicklung geeigneter Prozesse. Einer zielgerichteteren Forschung steht ein noch mangelndes Verständnis der Speichermechanismen entgegen. Für eine Integration in die CMOS-Herstellung mit Prozesstemperaturen von 300–400 °C ist die Temperaturstabilität der Materialien bisher zu gering.

Neben Intel ist von AMD, Infineon und Lucent Technologies bekannt, dass sie an organischen Speichern arbeiten [10].

### Ausblick

Kurzfristig werden Weiterentwicklungen des Flashs weitgehend den Bedarf an nichtflüchtigen Speichern decken müssen. Mit MRAM, FRAM und PC-RAM befinden sich aber drei Technologien in der Entwicklung, die mittelfristig das technologische Potenzial haben, bedeutende Anteile des Flash- bzw. DRAM-Marktes zu übernehmen. Nach Prognose der International Technology Roadmap for Semiconductors werden sich die Kosten eines Bit-Speichervolumens beim DRAM bis 2016 von derzeit  $5,4 \mu\text{cent}$  auf  $0,042 \mu\text{cent}$  reduzieren. Sollten die NVM-Technologien in diesem Preiskampf nicht konkurrieren können, wobei möglicherweise geringfügig höhere Kosten durch den Mehrwert der Nichtflüchtigkeit zu vertreten sind, so wird sich die Industrie mit der Weiterentwicklung von low-energy DRAM und NV-SRAM, einer Kombination des schnellen SRAM mit dem nichtflüchtigen Flash bzw. EEPROM, begnügen. Eine Abschätzung für die Herstellungskosten der verschiedenen Ansätze lässt sich derzeit noch nicht kalkulieren.

Welche der Technologien, MRAM, FRAM oder PC-RAM, die größten Chancen hat, ist zur Zeit kaum abzuschätzen. Am weitesten entwickelt ist der FRAM. Er wird am längsten intensiv von der Industrie verfolgt. Allerdings entwickeln sich MRAM und PC-RAM derzeit

mit mehr Dynamik. Die konkrete Produktentwicklung stehen MRAM und PC-RAM aber noch bevor. Detailprobleme werden auch hier erst bei der technologischen Realisierung sichtbar werden.

Für den MRAM spricht das große Engagement der Industrie. Das theoretische Potenzial des PC-RAM scheint mit den Möglichkeiten des MRAM und FRAM vergleichbar, von Vorteil scheinen der hohe Kontrast und seine gute Skalierbarkeit. Die Technologie weist aber einen deutlichen Entwicklungsrückstand gegenüber den beiden Konkurrenten auf.

Der organische Speicher befindet sich in einem noch relativ frühen Entwicklungsstadium. Er hat wegen der Möglichkeit, mehrere Speicherebenen zu schichten, eventuell das technische Potenzial zu einem hochdichten Speicher bei relativ geringer Geschwindigkeit. Langfristig könnten auch auf Basis der Molekularelektronik und der Spintronik neue Speicherkonzepte realisiert werden.

Ob sich 33 Jahre nach der Einführung des DRAM und 15 Jahre nach Einführung des Flashs durch Intel eine Revolution auf dem Speichermarkt abzeichnet und sich ein nichtflüchtiger, kostengünstiger, schneller und stromsparender Universalspeicher realisieren lässt, der in sämtlichen Anwendungsgebieten ohne größere Einschränkungen einsetzbar sein wird, gehört zu den spannenden Fragen auf dem Gebiet der Nanoelektronik der nächsten Jahre. Nicht zuletzt durch gezielte öffentliche Förderung ist Deutschland auf dem Gebiet der nichtflüchtigen Datenspeicher in einer guten Ausgangsposition.

#### Literatur

- [1] *H. Klose et al.*, Proceedings of the 31<sup>th</sup> European Solid-State Device Research Conference, 45–50 (2001)
- [2] *J. Dreßen und A. Hoffknecht*, Technologieförderung, Ergebnisse des Fachgesprächs Nichtflüchtige Datenspeicher, Zukünftige Technologien Band 44 (2003), ISSN 1436-5928
- [3] *J. von Borany et al.*, Annual Report IIM 2000, FZR-314

- [4] *R. Waser*, Towards the superparaelectric limit of ferroelectric nano-sized grains, TNT2002
- [5] *O. Auciello et al.*, Physics Today, Juli 1998, S. 22
- [6] *M. Alexe, C. Harnagea und D. Hesse*; Phys. Blätter, Oktober 2000, S. 47
- [7] *T. Miyazaki und T. Tezuka*, J. Magn. Mater. **139**, L231 (1995)
- [8] *J. S. Moodera und L. R. Kinder*, J. Appl. Phys. **79**, 4724 (1996)
- [9] *A. Hoffknecht und H. Hoffschulz*, Technologieförderung, Ergebnisse des Fachgesprächs Molekularelektronik, Zukünftige Technologien Band 39 (2002), ISSN 1436-5928
- [10] *A. Stikeman*, Technology Review **31**, September 2002